

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Tetsuro ASANO et al.

Serial No.: Not Yet Assigned

Filing Date: February 6, 2004

For: SEMICONDUCTOR DEVICE

Examiner: Not Yet Assigned

Group Art Unit: Not Yet Assigned

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Applications
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2003-029858 filed February 6, 2003.

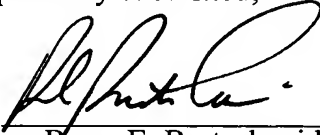
The certified priority document is attached to perfect Applicants' claim for priority.

It is respectfully requested that the receipt of the certified copies attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from the documents and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **492322016500**.

Dated: February 6, 2004

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7743
Facsimile: (703) 760-7777

日本国特許庁
JAPAN PATENT OFFICE

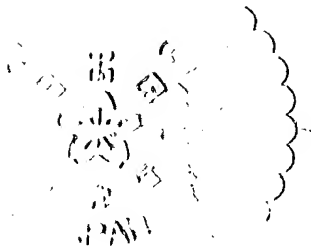
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 6日
Date of Application:

出願番号 特願2003-029858
Application Number:
[ST. 10/C]: [JP 2003-029858]

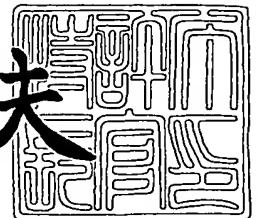
出願人 三洋電機株式会社
Applicant(s):



2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3104257

【書類名】 特許願

【整理番号】 KAA1030006

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 浅野 哲郎

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 榊原 幹人

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 平井 利和

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話03-3837-7751 知的財産センター 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】 基板上に複数の電極を有する動作領域と、前記電極と接続する複数の電極パッドを有する素子と、

1つの前記電極パッドから複数の経路で延在され前記動作領域上の1つの電極に接続する接続手段と、

第1の高濃度領域と第2の高濃度領域との間に絶縁領域を配置した複数の保護素子を具備し、

前記各経路途中において前記1つの電極と他の前記電極の間に、それぞれ少なくとも1つずつ前記保護素子を接続して該両電極間の静電破壊電圧を前記保護素子を接続する前と比較して20V以上向上させることを特徴とする半導体装置。

【請求項 2】 基板上の動作領域表面に接続するゲート電極、ソース電極およびドレイン電極と、前記各電極と接続する複数の電極パッドを有する素子と、

1つの前記電極と接続する前記電極パッドから複数の経路で延在され前記動作領域に接続する接続手段と、

第1の高濃度領域と第2の高濃度領域との間に絶縁領域を配置した複数の保護素子を具備し、

前記各経路途中において前記1つの電極と他の前記電極の間に、それぞれ少なくとも1つずつ前記保護素子を接続して該両電極間の静電破壊電圧を前記保護素子を接続する前と比較して20V以上向上させることを特徴とする半導体装置。

【請求項 3】 前記複数の保護素子は、前記素子の他の電極と接続する電極パッドとそれぞれ近接して配置することを特徴とする請求項1または請求項2のいずれかに記載の半導体装置。

【請求項 4】 前記第1および第2の高濃度領域の少なくとも一方は金属電極と接続し、前記金属電極は前記素子の電極と接続する電極パッドまたは該電極パッドに接続する配線の一部であることを特徴とする請求項1または請求項2のいずれかに記載の半導体装置。

【請求項 5】 複数の前記第 1 の高濃度領域は前記接続手段と接続すること
を特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 6】 複数の前記第 2 の高濃度不純物領域は、それぞれ前記他の電
極と接続する電極パッドの周辺に設けられた第 3 の高濃度領域の一部であること
を特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 7】 少なくとも 1 つの前記接続手段の一部は抵抗であることを特
徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 8】 複数の前記第 1 の高濃度領域は前記接続手段の一部であるこ
とを特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 9】 基板上の動作領域表面に接続するソース電極、ゲート電極お
よびドレイン電極および各電極に接続する電極パッドを設けた第 1 および第 2 の
F E T を形成し、両 F E T に共通のソース電極あるいはドレイン電極に接続する
端子を共通入力端子とし、両 F E T のドレイン電極あるいはソース電極に接続す
る端子をそれぞれ第 1 および第 2 の出力端子とし、両 F E T のゲート電極のいず
れかに接続する端子をそれぞれ第 1 および第 2 の制御端子とし、前記両制御端子
に制御信号を印加して、前記両制御端子と前記ゲート電極とを接続する接続手段
である抵抗を介していずれか一方の F E T を導通させて前記共通入力端子と前記
第 1 および第 2 の出力端子のいずれか一方と信号経路を形成するスイッチ回路装
置と、

少なくとも 1 つの前記制御端子と接続する電極パッドから複数の経路で延在さ
れ前記動作領域上の前記ゲート電極に接続する接続手段と、

第 1 の高濃度領域と第 2 の高濃度領域との間に絶縁領域を配置した複数の保護
素子を具備し、

前記複数の各経路途中においてそれぞれ少なくとも 1 つずつ前記保護素子を、
前記ゲート電極—ソース電極間、または前記ゲート電極—ドレイン電極間、また
はその両方に接続して、該両電極間の静電破壊電圧を前記保護素子を接続する前
と比較して 20 V 以上向上させることを特徴とする半導体装置。

【請求項 10】 前記複数の保護素子は、前記共通入力端子と接続する電極
パッドおよび前記第 1 又は第 2 の出力端子と接続する電極パッドとそれぞれ近接

して配置することを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記第 1 および第 2 の高濃度領域の少なくとも一方は金属電極と接続し、前記金属電極は前記スイッチ回路装置の端子と接続する電極パッドまたは該電極パッドに接続する配線の一部であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 12】 複数の前記第 1 の高濃度領域は前記接続手段と接続することを特徴とする請求項 9 に記載の半導体装置。

【請求項 13】 複数の前記第 2 の高濃度不純物領域は、それぞれ前記共通入力端子と接続する電極パッドおよび第 1 または第 2 の出力端子と接続する電極パッドの周辺に設けられた第 3 の高濃度領域の一部であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 14】 前記接続手段の一部は抵抗であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 15】 複数の前記第 1 の高濃度領域は前記接続手段の一部であることを特徴とする請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に静電破壊電圧を大幅に向上させた半導体装置に関する。

【0002】

【従来の技術】

衛星放送受信機の出現に始まった一般民生用マイクロ波機器市場は、携帯電話の世界的な普及で規模が一挙に拡大し、今新たに、無線ブロードバンド用途の市場が本格的に始まろうとしている。それらの市場には、マイクロ波用に適したガリウム・砒素 (GaAs) デバイス、従来の Si デバイスを微細化、立体構造化して低寄生容量化、低寄生抵抗化を図った Si マイクロ波デバイスが主に使用されている。

【0003】

図9は、化合物半導体スイッチ回路装置を示す回路図である。第1のFET1と第2のFET2のソース電極（あるいはドレイン電極）が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第1と第2の制御端子Ct1-1、Ct1-2に接続され、そしてFET1およびFET2のドレイン電極（あるいはソース電極）が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子Ct1-1、Ct1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、それぞれ10KΩの抵抗値を有し、交流接地となる制御端子Ct1-1、Ct1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0004】

図10は、この化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0005】

GaAs基板にスイッチを行うFET1およびFET2を中央部に配置し、各FETのゲート電極に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドが基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層（Ti/Pt/Au）20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層（Ti/Pt/Au）30である。第1層目の基板にオーミックに接触するオーミック金属層（AuGe/Ni/Au）は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図11では、パッド金属層と重なるために図示されていない。

【0006】

図10に示したFET1は一点鎖線で囲まれる長形状の動作領域12に形成される。下側から伸びる櫛歯状の3本の第3層目のパッド金属層30が出力端子

OUT1に接続されるソース電極13（あるいはドレイン電極）であり、この下に第1層目オーミック金属層10で形成されるソース電極14（あるいはドレイン電極）がある。また上側から伸びる櫛歯状の3本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15（あるいはソース電極）であり、この下に第1層目のオーミック金属層で形成されるドレイン電極14（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17が動作領域12上に5本の櫛歯形状に配置されている。なお、上側から伸びる真中の櫛歯のドレイン電極15（あるいはソース電極）はFET1とFET2とで共用しており、更に小型化に寄与している。ここで、ゲート幅が600 μ mという意味は各FETの櫛歯状のゲート電極17のゲート幅の総和がそれぞれ600 μ mであることをいっている。

【0007】

上述の如く、従来のスイッチ回路装置においては、特に静電破壊を保護する対応がなされていない（例えば、【非特許文献1】参照。）。

【0008】

【非特許文献1】

特願2000-141387号

【0009】

【発明が解決しようとする課題】

図11に、図10に示すスイッチ回路装置の静電破壊電圧を測定した結果を示す。ここで、静電破壊電圧の測定は、以下の条件により行ったものである。220pFの試験用容量の両端に試験用電圧を印加し、試験用容量に電荷を蓄積した後、電圧印加のための配線を遮断する。その後、試験用容量に蓄積された電荷を被試験素子（FET）の両端に抵抗成分およびインダクタ成分を付加しない状態で放電し、その後FETが破壊していないかどうか測定する。破壊していなければ印加電圧を10Vずつ上げて試験を繰返し、FETが破壊に至る最初の印加電圧を静電破壊電圧として測定したものである。

【0010】

この図からも明らかなように、従来では静電破壊電圧向上のための対策を施していないため、特に制御信号が印加される共通入力端子 I N－制御端子 C t l－1 間、共通入力端子 I N－制御端子 C t l－2 間の静電破壊電圧が共に 140 V しかなく最も低い。

【0011】

また、静電破壊電圧はどの端子間の値かによりばらつきがある。この静電破壊電圧を決める詳細なメカニズムは不明であるが、スイッチ回路装置においては、最も低い静電破壊電圧を示す 2 端子間の値は、一般的には、上述の如く 100 V 程度以下であり、取り扱いに細心の注意が必要であった。すなわち、最も低い静電破壊電圧となる端子間の値がその素子全体の静電破壊電圧に支配的となるため、この端子間の静電破壊電圧を向上させることが課題である。

【0012】

また、この例に限らず、これらのマイクロ波通信用デバイスは、他の音響用、映像用、電源用デバイスと異なり、これらのデバイスに内在するショットキ接合または P N 接合容量が小さく、それらの接合が静電気に弱いという問題があった。

【0013】

一般に静電気からデバイスを保護するには、デバイスに内在する、静電破壊しやすい、P N 接合、ショットキ接合の両端に、静電破壊保護ダイオードを並列に接続するという手法が考えられる。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化を招き、その手法を取ることができなかった。

【0014】

【課題を解決するための手段】

本発明は上述した諸々の事情に鑑み成されたもので、第 1 に、基板上に複数の電極を有する動作領域と、前記電極と接続する複数の電極パッドを有する素子と、1 つの前記電極パッドから複数の経路で延在され前記動作領域上の 1 つの電極に接続する接続手段と、第 1 の高濃度領域と第 2 の高濃度領域との間に絶縁領域を配置した複数の保護素子を具備し、前記各経路途中において前記 1 つの電極と

他の前記電極の間に、それぞれ少なくとも1つずつ前記保護素子を接続して該両電極間の静電破壊電圧を前記保護素子を接続する前と比較して20V以上向上させることにより解決するものである。

【0015】

第2に、基板上の動作領域表面に接続するゲート電極、ソース電極およびドレイン電極と、前記各電極と接続する複数の電極パッドを有する素子と、1つの前記電極パッドから複数の経路で延在され前記動作領域に接続する接続手段と、第1の高濃度領域と第2の高濃度領域との間に絶縁領域を配置した複数の保護素子を具備し、前記各経路途中において前記1つの電極と他の前記電極の間に、それぞれ少なくとも1つずつ前記保護素子を接続して該両電極間の静電破壊電圧を前記保護素子を接続する前と比較して20V以上向上させることにより解決するものである。

【0016】

また、前記複数の保護素子は、前記素子の他の電極と接続する電極パッドとそれぞれ近接して配置することを特徴とするものである。

【0017】

また、前記第1および第2の高濃度領域の少なくとも一方は金属電極と接続し、前記金属電極は前記素子の電極と接続する電極パッドまたは該電極パッドに接続する配線の一部であることを特徴とするものである。

【0018】

また、複数の前記第1の高濃度領域は前記接続手段と接続することを特徴とするものである。

【0019】

また、複数の前記第2の高濃度不純物領域は、それぞれ前記他の電極と接続する電極パッドの周辺に設けられた第3の高濃度領域の一部であることを特徴とするものである。

【0020】

また、少なくとも1つの前記接続手段の一部は抵抗であることを特徴とするものである。

【0021】

また、複数の前記第1の高濃度領域は前記接続手段の一部であることを特徴とするものである。

【0022】

第3に、基板上の動作領域表面に接続するソース電極、ゲート電極およびドレイン電極および各電極に接続する電極パッドを設けた第1および第2のFETを形成し、両FETに共通のソース電極あるいはドレイン電極に接続する端子を共通入力端子とし、両FETのドレイン電極あるいはソース電極に接続する端子をそれぞれ第1および第2の出力端子とし、両FETのゲート電極のいずれかに接続する端子をそれぞれ第1および第2の制御端子とし、前記両制御端子に制御信号を印加して、前記両制御端子と前記ゲート電極とを接続する接続手段である抵抗を介していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成するスイッチ回路装置と、少なくとも1つの前記制御端子と接続する電極パッドから複数の経路で延在され前記動作領域上の前記ゲート電極に接続する接続手段と、第1の高濃度領域と第2の高濃度領域との間に絶縁領域を配置した複数の保護素子を具備し、前記複数の各経路途中においてそれぞれ少なくとも1つずつ前記保護素子を、ゲート電極—ソース電極間、またはゲート電極—ドレイン電極間、またはその両方に接続して、該両電極間の静電破壊電圧を前記保護素子を接続する前と比較して20V以上向上させることにより解決するものである。

【0023】

また、前記複数の保護素子は、前記共通入力端子と接続する電極パッドおよび前記第1又は第2の出力端子と接続する電極パッドとそれぞれ近接して配置することを特徴とするものである。

【0024】

また、前記第1および第2の高濃度領域の少なくとも一方は金属電極と接続し、前記金属電極は前記スイッチ回路装置の端子と接続する電極パッドまたは該電極パッドに接続する配線の一部であることを特徴とするものである。

【0025】

また、複数の前記第1の高濃度領域は前記接続手段と接続することを特徴とするものである。

【0026】

また、複数の前記第2の高濃度不純物領域は、それぞれ前記共通入力端子と接続する電極パッドおよび第1または第2の出力端子と接続する電極パッドの周辺に設けられた第3の高濃度領域の一部であることを特徴とするものである。

【0027】

また、前記接続手段の一部は抵抗であることを特徴とするものである。

【0028】

また、複数の前記第1の高濃度領域は前記接続手段の一部であることを特徴とするものである。

【0029】

【発明の実施の形態】

図1から図8を用いて、本発明の実施の形態を詳細に説明する。

【0030】

図1は、被保護素子となる化合物半導体スイッチ回路装置100を示す回路図である。第1のFET1と第2のFET2のソース電極（あるいはドレイン電極）が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第1と第2の制御端子Ctl-1、Ctl-2に接続され、そしてFET1およびFET2のドレイン電極（あるいはソース電極）が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子Ctl-1、Ctl-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。

【0031】

抵抗R1、R2は、交流接地となる制御端子Ctl-1、Ctl-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。また、後述するが各抵抗R1、R2は制御端子Ctl-1、Ctl-2から複数の経路で延在され、FET1およびFET2のゲート電極に接続す

る。本実施形態では、例えばその経路を2つとし、制御端子C t 1-1から抵抗R 1-1、R 1-2が延在されてF E T 1のゲート電極に接続し、制御端子C t 1-2から抵抗R 2-1、R 2-2が延在されてF E T 2のゲート電極に接続する。

【0032】

図1 (A) に示す回路は、図10に示すG a A s F E Tを用いたS P D T (Single Pole Double Throw) と呼ばれる化合物半導体スイッチ回路装置の2つのF E Tのゲートソース端子およびゲートドレイン端子間に保護素子200を接続したものである。制御端子C t 1-1は、F E T 1のゲート電極に接続し、制御端子C t 1-2はF E T 2のゲート電極に接続しており、C t 1-1とI N間、およびC t 1-2とI N間、C t 1-1とO U T 1間およびC t 1-2とO U T 2間に、それぞれ保護素子200が接続されている。

【0033】

図1 (B) は図1 (A) においてF E Tの部分を内部等価回路に置き換えた図である。G a A s M E S F E T 100において、静電破壊電圧を考えるとゲートショットキ接合は逆バイアス状態である。つまり、そのときの等価回路はゲート電極G-ソース電極S間およびゲート電極G-ドレイン電極D間に、ショットキバリアダイオード115が接続された回路となる。

【0034】

静電破壊からの保護は、弱い接合であるゲート電極105のショットキ接合にかかる静電エネルギーを軽減すれば良い。そこで、本実施形態では、M E S F E T 100の2電極間に上記の保護素子200を接続し、対応する2端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路を設けることにより、静電破壊から弱い接合を保護することとした。

【0035】

ここで保護素子200について図2を用いて説明する。

【0036】

図2は保護素子を示す概要図である。

【0037】

本明細書における保護素子 200 とは、図の如く、近接する第 1 の高濃度不純物領域 201 と第 2 の高濃度不純物領域 202 の 2 端子間に絶縁領域 203 を配置した素子である。第 1 および第 2 の高濃度不純物領域 201、202 は、基板 201 にイオン注入及び拡散により設けられる。本明細書においては、以降これら高濃度不純物領域を、第 1 N+型領域 201、第 2 N+型領域 202 として説明するが、これらは同じ導電型の不純物に限らず、異なる導電型の不純物でも良い。第 1 および第 2 N+型領域 201、202 は、静電エネルギーを通せる距離、例えば $4\ \mu\text{m}$ 程度離間して設けられ、その不純物濃度は、共に $1 \times 10^{17}\ \text{cm}^{-3}$ 以上である。また、第 1 および第 2 N+型領域 201、202 の間には絶縁領域 203 が当接して配置される。ここで、絶縁領域 203 とは、電氣的に完全な絶縁ではなく、半絶縁性基板の一部、または基板 201 に不純物をイオン注入して絶縁化した絶縁領域である。また、絶縁領域 203 の不純物濃度は、 $1 \times 10^{14}\ \text{cm}^{-3}$ 以下程度、抵抗率は $1 \times 10^3\ \Omega\ \text{cm}$ 以上が望ましい。

【0038】

絶縁領域 203 の両端に当接して高濃度不純物領域 201、202 を配置し、2 つの高濃度不純物領域 201、202 の離間距離を $4\ \mu\text{m}$ 程度にすると、2 つの高濃度不純物領域 201、202 がそれぞれ接続する被保護素子の 2 電極間に向かって外部より印加される静電エネルギーを、絶縁領域 203 を介して放電することができる。

【0039】

この 2 つの N+型領域の離間距離 $4\ \mu\text{m}$ は、静電エネルギーを通すのに適当な距離であり、 $10\ \mu\text{m}$ 以上離間すると保護素子間での放電が確実でない。N+型領域の不純物濃度および絶縁領域の抵抗値も、同様である。

【0040】

通常の FET 動作では静電気のように高い電圧が印加されることがないため、 $4\ \mu\text{m}$ の絶縁領域を信号が通ることは無い。またマイクロ波のような高周波でも同様に $4\ \mu\text{m}$ の絶縁領域を信号が通ることは無い。従って通常の動作では、保護素子は特性に何ら影響を及ぼさないため、存在しないのと同じである。しかし静電気は瞬間的に高い電圧が印加される現象であり、そのときは $4\ \mu\text{m}$ の絶縁領域

を静電エネルギーが通り、高濃度不純物領域間で放電する。また絶縁領域の厚みが $10\mu\text{m}$ 以上になると、静電気にとっても抵抗が大きく放電しにくくなる。

【0041】

これら、第1N+型領域201および第2N+型領域202を、被保護素子100の2つの電極間に接続する。第1および第2N+型領域201、202はそのまま保護素子200の端子としてもよいし、更に金属電極204を設けても良い。

【0042】

図3および図4に、金属電極204を設ける場合を示す。この金属電極204は、被保護素子であるMESFET100の電極と接続するボンディングパッド、またはボンディングパッドに接続する配線と接続する。図3は、第1および第2N+型領域201、202とショットキ接合を形成する金属電極204であり、図4はオーミック接合を形成する金属電極204である。ここでは便宜上、ショットキー接合の金属電極204s、オーミック接合の金属電極204oとして説明する。

【0043】

図3(A)は、金属電極204sが、第1N+型領域201および／又は第2N+型領域202表面とショットキ接合を形成するものである。マスク合わせ精度及び両N+領域201、202の抵抗分を考慮し、絶縁領域203端部から $0.1\mu\text{m}$ から $5\mu\text{m}$ 離間して、第1、第2N+型領域201、202表面に設けられる。 $5\mu\text{m}$ 以上離間すると抵抗分が大きく静電気が通りにくくなる。金属電極204sは、第1、第2N+型領域201、202上のみに設けられても良いし、その一部が、半絶縁基板101に延在され基板表面とショットキ接合を形成しても良い。

【0044】

また、図3(B)(C)の如く、第1、第2N+型領域201、202上に、保護用窒化膜などの縁膜膜205を介して金属電極204sを設けても良い。この場合、金属電極204sは半絶縁基板101上に延在され、基板101を介して第1、第2N+型領域201、202と接続することになる。更に図3(D)

の如く、両N+型領域201、202の上には金属層が設けられず、その外側の半絶縁基板101と金属電極204sがショットキ接合を形成する構造であってもよい。

【0045】

図3(B)(C)(D)の場合すべて、金属電極204sは第1、および／又は第2N+型領域201、202とは直接接続されない。このように金属電極204sは第1および／または第2のN+型領域201、202端部から0 μ mから5 μ m程度外側で基板とショットキ接合を形成する構造でもよい。すなわち、図3(B)(C)(D)の如く第1、第2N+型領域201、202と金属電極204sは接する必要はなく、5 μ m以内であれば半絶縁基板を介してN+型領域と金属電極204sとは十分な接続を確保できる。

【0046】

一方図4には、第1及び／又は第2N+型領域とオーミック接合を形成する金属電極204oを示す。

【0047】

金属電極204oは、前記第1および／又は第2N+型領域201、202とオーミック接合を形成してもよい。半絶縁基板101と金属電極204oとはオーミック接合を形成することはできないので、この場合は隣接する基板101上に金属電極204oが延在することはない。金属電極204oは、被保護素子のボンディングパッド（またはボンディングパッドに接続する配線）120と接続させるが、オーミック接合の場合は、図の如く、他の金属層206を介して金属電極204oとパッド（または配線）120と接続させる。

【0048】

オーミック接合の方がショットキ接合より抵抗分が小さく、静電気を通しやすい。その意味ではオーミック接合の方がショットキ接合より静電破壊からの保護効果は大きい。

【0049】

しかしオーミック接合は、オーミック電極金属204oが深く基板内部まで拡散することが多く、高濃度層の深さ以上にオーミック電極金属204oが達する

と、基板の半絶縁領域とオーミック電極金属 204o が接触することになり、このときは逆に保護素子 200 自身が静電破壊しやすくなる。

【0050】

例えば第 1 N+領域 201、第 2 N+領域 202 とともにオーミック接合による金属が設けられ、オーミック接合どうしの距離が $10\ \mu\text{m}$ として、オーミック電極金属 204o が N+領域 201、202 の深さ以上に基板の半絶縁領域まで拡散していたとすると、N+領域の深さより深い部分ではオーミック接合—絶縁領域—オーミック接合の構造ができており、この構造は静電エネルギーに弱いことがわかっているため、このとき保護素子自身が静電破壊してしまう恐れが出てくる。

【0051】

従ってオーミック電極金属 204o がこれら 2 つの N+領域の深さ以上に基板の半絶縁領域まで拡散してしまう場合は、ショットキ接合でなければならない、オーミック電極金属 204o が N+領域の深さにまで達しない場合はオーミック接合の方が保護効果が大きい。

【0052】

また、図 4 (B) の如く、保護素子 200 の 2 端子が共に同じ金属電極構造である必要はなく、第 1 および第 2 N+型領域が、それぞれ単独に、図 3 および図 4 (A) に示す構造を有していても良い。更に一方の端子は金属電極 204 を有し、他方の端子は金属電極 204 を設けなくても良いが、抵抗分を小さくするためできるだけ設けた方が良く、その分、保護効果が増す。

【0053】

尚、これら金属電極 204 は、ボンディングパッドの一部またはボンディングパッドに接続する配線の一部であっても良く、後に詳述するがこれらを利用することで、保護素子 200 を接続することによるチップ面積の増大を防ぐことができる。

【0054】

ここで、図 5 を用いて FET 100 と同一基板に集積化される保護素子 200 の種類について説明する。上述の FET 100 の動作領域 108 は、以下の構造

のいずれでも良い。図5 (A) から図5 (D) の各図において、左図がFETの動作領域108であり、右図が保護素子200である。

【0055】

まず図5 (A) の如く、半絶縁性基板101にイオン注入により例えばN型の動作層102を設け、その両端にN+型のソース領域103およびドレイン領域104を形成して動作領域108とする。更にソース領域103、ドレイン領域104の上にオーミック電極としてソース電極106、ドレイン電極107を設け、N型の動作層102にショットキ接合するゲート電極105を設けたMESFETである。この場合保護素子200の2端子201、202は、動作領域108のソース領域103およびドレイン領域104と同時に形成すると工程を簡素化できるため好ましく、半絶縁性基板101上に4 μ m離間して配置する。保護素子は、第1N+型領域201－半絶縁領域203a－第2N+型領域202の構造である。この場合の保護素子200はゲートショットキ接合を静電破壊から保護する。

【0056】

図5 (B) のFETは、半絶縁性基板101にイオン注入により例えばN型の動作層102を設け、その両端にN+型のソース領域103およびドレイン領域104を形成して動作領域108とする。ソース領域103、ドレイン領域104の上にオーミック電極としてソース電極106、ドレイン電極107を設け、N型の動作層102内に形成したP+型のゲート領域109にオーミック接合するゲート電極105を設けた接合型FETである。この場合、保護素子200の2端子201、202は、動作領域108のソース領域103およびドレイン領域104と同時に形成すると工程を簡素化できるため好ましく、半絶縁性基板101上に4 μ m離間して配置する。保護素子200は、第1N+型領域201－半絶縁領域203a－第2N+型領域202の構造である。この場合、保護素子はゲートPN接合を静電破壊から保護する。

【0057】

図5 (C) のFETの動作層102は、半絶縁性基板101上に例えばN型エピタキシャル層を積層した動作層102であり、その両側にN+型不純物を注入

してソース領域103およびドレイン領域104を形成する。ソース領域103、ドレイン領域104の上にオーミック電極としてソース電極106、ドレイン電極107を設け、N型の動作層102にショットキ接合するゲート電極105を設けたMESFETである。隣接する他の素子とは不純物注入による絶縁化層125で分離する。この場合、同一チップに集積化される保護素子200表面もN型エピタキシャル層であるので、第1および第2N+型領域の間は、不純物注入層による絶縁化領域203bとする。両端子の外側も絶縁のため同じく不純物注入による絶縁化層125で分離する。保護素子の絶縁化領域203bと素子分離の絶縁化層125は同一工程により形成するとよい。又、第1および第2N+型領域201、202は動作領域108のソースおよびドレイン領域と同時に形成すると良い。保護素子は、第1N+型領域201－絶縁領域203b－第2N+型領域202の構造である。この場合、保護素子はゲートショットキ接合を静電破壊から保護する。

【0058】

図示はしないが、上記N型エピタキシャルの動作層内にP+型のゲート領域を形成し、そこにオーミック接合するゲート電極を設けた接合型FETも、図5(B)と同様に考えられる。この場合、保護素子はゲートPN接合を静電破壊から保護する。

【0059】

更に図5(D)の如く、MESFET、接合型FETに限らず、HEMT(High Electron Mobility Transistor)でも良い。

【0060】

すなわち、半絶縁性基板101に、N++AlGaAs層101a、ノンドープInGaAs層101b、N++AlGaAs層101cを順次積層した構造である。複数の層からなる動作層102の両端に設けられたN+型のイオン注入によるソース領域103およびドレイン領域104の上に、オーミック電極としてソース電極106、ドレイン電極107を設け、動作層表面にショットキ接合するゲート電極105を設ける。隣接する他の素子とは不純物注入による絶縁化

層 125 により絶縁される。また、図 5 (D) 右図の如く、同一チップに集積化される保護素子 200 表面も同様の基板構造であるので、保護素子は、ソース領域 103 およびドレイン領域 104 と同時に形成した第 1 および第 2 N+ 型領域の間に絶縁化領域 203b を設けた構造である。更に両端子の外側も絶縁のため同じく不純物注入による絶縁化層 125 で分離する。保護素子の絶縁化領域 203b と素子分離の絶縁領域 125 は同一工程にて形成するとよい。また、第 1 および第 2 N+ 型領域は動作領域 108 のソースおよびドレイン領域と同時に形成すると良い。この場合、保護素子はゲートショットキ接合を静電破壊から保護する。

【0061】

ここで、FET ではゲートショットキ接合、及びゲート PN 接合が最も静電破壊に弱いため、ゲート電極 G - ソース電極 S 間、ゲート電極 G - ドレイン電極 D 間に保護素子を接続する一例を示したが、ソース電極 S - ドレイン電極 D 間に保護素子を接続してもよい。

【0062】

図 6 は、図 1 に示すスイッチ回路装置を 1 チップに集積化した平面図を示す。

【0063】

GaAs 基板 101 にスイッチを行う FET 1 および FET 2 を中央部に配置し、各 FET のゲート電極 105 に抵抗 R1、R2 が接続されている。抵抗 R1、R2 は制御端子 Ct1-1、Ct1-2 からそれぞれ 2 つの経路で延在され、FET 1、FET 2 の動作領域上の各ゲート電極と接続する。

【0064】

また共通入力端子 IN、出力端子 OUT1、OUT2、制御端子 Ct1-1、Ct1-2 とそれぞれ接続する電極パッド I、O1、O2、C1、C2 が基板の周辺で FET 1 および FET 2 の周囲にそれぞれ設けられている。なお、点線で示した第 2 層目の配線は各 FET のゲート電極 105 形成時に同時に形成されるゲート金属層 (Ti/Pt/Au) 120 であり、実線で示した第 3 層目の配線は各素子の接続およびパッドの形成を行うパッド金属層 (Ti/Pt/Au) 130 である。第 1 層目の基板にオーミックに接触するオーミック金属層 (AuG

e/Ni/Au) は各 FET のソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図 6 では、パッド金属層と重なるために図示されていない。

【0065】

図 6 に示した FET 1 および FET 2 は一点鎖線で囲まれる動作領域 112 に形成される。下側から伸びる櫛歯状の 4 本の第 3 層目のパッド金属層 130 が出力端子 OUT 1 に接続されるソース電極 116 (あるいはドレイン電極) であり、この下に第 1 層目オーミック金属層で形成されるソース電極 106 (あるいはドレイン電極) がある。また上側から伸びる櫛歯状の 4 本の第 3 層目のパッド金属層 130 が共通入力端子 IN に接続されるドレイン電極 117 (あるいはソース電極) であり、この下に第 1 層目のオーミック金属層で形成されるドレイン電極 106 (あるいはソース電極) がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第 2 層目のゲート金属層 120 で形成されるゲート電極 105 が動作領域 112 上に 7 本の櫛歯形状に配置されている。なお、上側から伸びる真中の櫛歯のドレイン電極 117 (あるいはソース電極) は FET 1 と FET 2 とで共用しており、更に小型化に寄与している。ここで、ゲート幅が $600\mu\text{m}$ という意味は各 FET の櫛歯状のゲート電極 105 のゲート幅の総和がそれぞれ $600\mu\text{m}$ であることをいっている。

【0066】

本実施形態によれば、制御端子 Ct 1-1、Ct 1-2 と接続する電極パッド C 1 および C 2 からそれぞれ 2 つの経路で接続手段が延在され、動作領域 112 上のゲート電極 105 に接続する。すなわち、制御端子パッド C 1 から抵抗 R 1-1、R 1-2 が延在され FET 1 のゲート電極 105 に接続する。また、制御端子パッド C 2 から抵抗 R 2-1、R 2-2 が延在され FET 2 のゲート電極 105 に接続する。

【0067】

抵抗 R 1 および抵抗 R 2 は、基板に設けられた N+ 型不純物拡散領域である。また、それぞれ R 1-1、R 1-2、R 2-1、R 2-2 はそれぞれ $20\text{K}\Omega$ の抵抗値を有しており、R 1-1 と R 1-2 の並列接続で R 1 としてはトータル 1

0 K Ω 、同様に R 2 - 1 と R 2 - 2 の並列接続で R 2 としてはトータル 10 K Ω と、従来例の図 10 における R 1、R 2 の抵抗値と同じになるように設計されている。

【0068】

本実施形態においては N + 型不純物拡散領域のみで抵抗 R 1 および R 2 を形成し、上記の抵抗値を実現しようとする、夫々の抵抗の長さが長くなりすぎ、チップ上の占有面積が大きくなってしまふ。そのため、抵抗 R 1、R 2 はその一部をシート抵抗の高いチャネル領域の N 層と同濃度の N 型不純物領域 C N で形成し、制御端子パッド C 1、C 2 と動作領域 112 上のゲート電極との接続手段とする。尚、可能であれば全てを N + 型不純物拡散領域で接続しても良いし、全てを C N で接続しても良い。

【0069】

図 7 には、図 6 のスイッチ回路装置の一部の断面図および回路概要図を示す。図 7 (A) は図 6 の A - A 線断面図であり 1 組の F E T を示す。尚、スイッチ回路装置のスイッチ動作を行う F E T 1、F E T 2 は全て同様の構成である。

【0070】

図 7 (A) の如く、基板 101 には n 型の動作層 102 とその両側にソース領域 103 およびドレイン領域 104 を形成する n + 型の不純物領域が設けられ、動作層 102 にはゲート電極 105 が設けられ、不純物領域には第 1 層目のオーミック金属層で形成されるドレイン電極 107 およびソース電極 106 が設けられる。更にこの上に前述したように 3 層目のパッド金属層 130 で形成されるドレイン電極 117 およびソース電極 116 が設けられ、各素子の配線等を行っている。

【0071】

M E S F E T においては、ゲートショットキ接合の容量が小さく、ゲート電極 G - ソース電極 S 間またはゲート電極 G - ドレイン電極 D 間に、ゲート電極 G 側をマイナスにしてサージ電圧を印加する場合が最も静電破壊に弱い。この場合、動作領域 108 と動作領域 108 表面に設けられたゲート電極 105 との界面に形成されるショットキバリアダイオード 115 に対して逆バイアスに静電気が印

加される状態となる（図 1（B）参照）。

【0072】

また、具体的には FET において、最も静電破壊電圧が低いのはゲート電極 G と動作層 102 とのショットキ接合部分である。つまり、ゲートドレイン電極間、又はゲートソース電極間に印加された静電エネルギーが、ゲートショットキ接合に到達したとき、到達した静電エネルギーがゲート電極とソース電極間、またはゲート電極とドレイン電極間の静電破壊電圧を上回る場合、ゲートショットキ接合が破壊に至る。

【0073】

静電破壊からの保護は、弱い接合であるゲート電極 105 のショットキ接合にかかる静電エネルギーを軽減すれば良い。そこで、本実施形態では、MESFET 100 の 2 電極間に上記の保護素子 200 を接続し、対応する 2 端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路を設けることにより、静電破壊から弱い接合を保護することとした。

【0074】

本実施形態では、図 6 の如く、FET 1（FET 2）のソース電極 S－ゲート電極 G の 2 端子間およびドレイン電極 D－ゲート電極 G の 2 電極間にそれぞれ保護素子 200 を接続する。すなわち出力端子 OUT－1－制御端子 Ct 1－1 間、共通入力端子 IN－制御端子 Ct 1－1 間、出力端子 OUT－2－制御端子 Ct 1－2 間、共通入力端子 IN－制御端子 Ct 1－2 間にそれぞれ保護素子を接続する。これにより、対応する 2 端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路ができるため、弱い接合である FET のゲートショットキ接合にかかる静電エネルギーを軽減することができる。

【0075】

図 7（B）は電極パッド付近の B－B 線断面図を示す。尚、スイッチ回路装置を構成する各電極パッドは全て同様の構成である。

【0076】

図の如く電極パッド 130 の周辺には、各電極パッド 130 から高周波信号が漏れないよう、アイソレーション対策として、第 3 の高濃度不純物領域であるパ

ッド周辺N+領域150が配置されている。各電極パッド130の一番下のゲート金属層120はGaAs半絶縁性基板とショットキ接合を形成しており、周辺N+領域150と各電極パッドはショットキ接合を形成している。

【0077】

すなわち抵抗R1-1 (R1-2も同じ)の一部と、第3の高濃度不純物領域となる周辺N+領域150の一部とが半絶縁性基板101を挟んで保護素子200となり、例えば第2n+型領域202が半絶縁基板101 (絶縁領域203)を介して金属電極204と接続する構造である。周辺N+領域150の端部から0 μ mから5 μ m外側に離間して金属電極204が基板表面とショットキー接合を形成する。この場合金属電極204はゲート金属層120からなる共通入力端子パッドI (出力端子パッドO1も同様)の一部であるが、共通入力端子パッドIに接続する配線の一部であっても良い (図3 (B) 参照)。尚、この接続例は一例であり、図3に示すすべての接続形態が考えられる。

【0078】

ここで、FET1側とFET2側は対称であり、全く同様であるので、FET1側を例に説明する。図11に示す従来のスイッチ回路装置においては、共通入力端子IN-制御端子Ct1-1間の静電破壊電圧が140Vと最も低い。つまり、共通入力端子IN-制御端子Ct1-1間に印加された静電エネルギーがFET1のゲート電極105-ドレイン電極117間、又はゲート電極105-ソース電極116間に到達する前に、その到達過程において、静電エネルギーを減衰させれば良い。

【0079】

静電エネルギーを減衰させる1つの方法として、R1の抵抗値を大きくする方法が考えられるが、R1を大きくし過ぎると、スイッチ回路装置のスイッチング時間が大きくなり過ぎる。そこで、本実施形態においては保護素子200を用いて静電エネルギーを減衰させることとした。

【0080】

ここで、前述の如く抵抗R1はN+型不純物領域で形成されている。制御端子パッドC1から延在される抵抗R1-1は、共通入力端子パッドIの一辺に沿っ

て延在される。また、別の経路で、制御端子 $Ct1-1$ から延在される抵抗 $R1-2$ は、出力端子パッド $O1$ の一辺に沿って延在される。両抵抗はともに途中から $N+$ 層から N 層に替わり $FET1$ のゲート電極 105 に接続する。

【0081】

つまり、抵抗 $R1-1$ を共通入力端子パッド I に近接して配置することにより、抵抗 $R1-1$ を構成する $N+$ 型領域と近接するパッド周辺 $N+$ 型領域 150 の離間距離は $4\mu m$ となり、半絶縁性基板 101 を挟んで保護素子 200 となる。抵抗 $R1-1$ の一部が第 $1N+$ 型領域 201 であり、共通入力端子パッド I 周辺の $N+$ 領域 150 の一部が第 $2N+$ 型領域 202 である。すなわち、共通入力端子 IN - 制御端子 $Ct1-1$ 間、つまり $FET1$ のソースゲート電極間（又はドレインゲート電極間）に保護素子 200 を接続したことになる。

【0082】


また、保護素子を共通入力端子パッド I に近接し、尚且つ静電気が制御端子パッドから動作領域上のゲート電極に向かう経路途中において、制御端子パッドに近い位置に接続できる。これにより、スイッチ回路装置に外部より印加された静電エネルギーを、それが動作領域上のゲート電極に伝わる経路のうち、チップ内では最も初期段階で減衰させることができる。

【0083】

同様に、抵抗 $R1-2$ を出力端子パッド $O1$ に近接して配置することにより、抵抗 $R1-2$ を構成する $N+$ 型領域と近接するパッド周辺 $N+$ 型領域 150 の離間距離は $4\mu m$ となり、半絶縁性基板 101 を挟んで保護素子 200 となる。抵抗 $R1-2$ の一部が第 $1N+$ 型領域 201 であり、共通入力端子パッド I 周辺の $N+$ 領域 350 の一部が第 $2N+$ 型領域 202 である。すなわち、出力端子 $OUT1$ - 制御端子 $Ct1-1$ 間、つまり $FET1$ のドレインゲート電極間（又はソースゲート電極間）に保護素子 200 を接続したことになる。

【0084】

また、保護素子を出力端子パッド $O1$ に近接し、尚且つ静電気が制御端子パッドから動作領域上のゲート電極に向かう経路途中において、制御端子パッドに近い位置に接続できる。これにより、スイッチ回路装置に外部より印加された静電



エネルギーを、それが動作領域上のゲート電極に伝わる経路のうち、チップ内では最も初期段階で減衰させることができる。

【0085】

このように、制御端子C t 1-1から共通入力端子パッドIおよび出力端子パッドO 1に沿って2つの経路で接続手段を延在し、それぞれを用いて保護素子200を接続することで、出力端子O U T 1-制御端子C t 1-1間、共通入力端子I N-制御端子C t 1-1間に印加される静電エネルギーをそれぞれ同程度に、また最も効率良く減衰させることができるものである。

【0086】

ここで、保護素子200がパッドに添って近接している距離は長い方がより多くの静電エネルギーを減衰させることができるため、10 μ m以上が望ましい。図6では、保護素子200は、共通入力端子パッドI 1辺に添って配置した図を示したが、例えば抵抗R 1-1の配置を変えて、共通入力端子パッドIの2辺に添ってL字形状に配置すれば、パッドと近接して配置する保護素子200の長さを稼げるので静電エネルギーの減衰により効果的である。当然ながら出力端子パッドO 1についても同様である。

【0087】

後に詳述するが、上記の如くスイッチ回路装置の共通入力端子I N-制御端子C t 1-1間および共通入力端子I N-制御端子C t 1-2間に、保護素子200を接続することにより、これらの端子間の静電破壊電圧を700 Vまで向上させることができる。

【0088】

例えば、ゲート電極-ゲートパッド間に抵抗が無い場合は、ゲート長0.5 μ m、ゲート幅600 μ mのF E Tであれば、ゲート-ソース間やゲート-ドレイン間の静電破壊電圧を測定すると50 V程度以下である。すなわちF E Tの動作領域上のゲートショットキ接合そのものの静電破壊電圧の実力値は50 V程度以下といえる。

【0089】

本実施形態のF E Tもゲート長0.5 μ m、ゲート幅600 μ mであり、通常

このFETのゲートショットキ接合の静電破壊電圧も50V程度以下である。しかし、スイッチ回路装置には必ず本実施形態のようなゲート電極—ゲートパッド（この場合制御端子パッド）間の抵抗R1が存在する。この抵抗R1で、静電エネルギーが一部熱となって消費されるため、スイッチ回路装置として共通入力端子IN—制御端子Ct1-1間（以下抵抗R1-2が接続される出力端子OUT1—制御端子Ct1-1間も同様）の静電破壊電圧を測定すると、保護素子200を接続しなくても多少静電破壊電圧は向上し、100V程度以下となる。

【0090】

そこにさらに保護素子200を接続すると、静電エネルギーがバイパスされ保護素子200で放電される。つまり、保護素子200により放電される静電エネルギー分が更に追加で、共通入力端子IN—制御端子Ct1-1間に印加されても、動作領域112上のゲートショットキ接合が静電破壊することはなくなり、保護素子200により放電する分だけ、静電破壊電圧の測定値が大きくなり200V以上となる。

【0091】

換言すれば、共通入力端子IN—制御端子Ct1-1間に印加される静電エネルギーを、抵抗R1-1で一部熱として消費しながら、さらに保護素子200での放電により消費し、動作領域112上のゲート電極に達するまでに、動作領域112上のゲートショットキ接合の破壊電圧以下まで減衰することができる。

【0092】

図8には、図6のスイッチ回路装置の静電破壊耐圧を測定した結果を示す。これによると、共通入力端子IN—制御端子Ct1-1間および共通入力端子IN—制御端子Ct1-2間の静電破壊電圧が700Vとなり、従来の同じ端子間で140Vであったことと比較すると大幅に向上している。さらに出力端子OUT1—制御端子Ct1-1間および出力端子OUT2—制御端子Ct1-2間の静電破壊電圧も同様に700Vと従来の450V～500Vに比べ向上している。

【0093】

このメカニズムを、FETの動作領域112上のゲートショットキ接合の静電破壊電圧の実力値が例えば50Vとして説明する。

【0094】

FETの動作領域112上のゲートショットキ接合は上述の如く50Vで破壊する。また、従来は、共通入力端子IN-制御端子Ct1-1間の静電破壊電圧は、図11に示す140Vである。これは、保護素子200を設けず、共通入力端子IN-制御端子Ct1-1間に印加される静電エネルギーが一部抵抗R1-1で減衰しながら動作領域112上のゲート電極に達する場合の値である。つまり $140 - 50 = 90$ V分の静電エネルギーが、ゲート電極105-制御端子パッドC1間の抵抗R1-1で、熱として消費され、FETの動作領域112上のゲートショットキ接合に50Vが印加された時点でFETのショットキ接合が破壊していたことになる。

【0095】

本実施形態では、図8の如く共通入力端子IN-制御端子Ct1-1間で、静電破壊電圧を測定したとき700Vで破壊する。FETの動作領域112のショットキ接合は50Vで破壊し、ゲート電極105-制御端子パッドC1間の抵抗R1-1で、熱として消費される静電エネルギーは90V分であり、これは従来同様である。

【0096】

すなわち、 $700 - 50 - 90 = 560$ V分の静電エネルギーが保護素子200で放電され、これも熱となって消費されたことになる。つまり、本実施形態のパターンによれば、動作領域112のショットキ接合の静電破壊電圧分+抵抗R1-1での減衰分を越えた分(560V)を保護素子200で放電でき、動作領域112上のゲート電極に至るまでに静電エネルギーを減衰できるので、静電破壊電圧が700Vまで向上したといえる。

【0097】

ここで、共通入力端子パッドI、制御端子パッドC1、C2、出力端子パッドO1、O2および両FETの動作領域112を除くゲート電極の周端部の下にも、一点破線で示す如く周辺N+型領域150が設けられている。周辺N+型領域150は周端部だけでなく、各パッドおよび両FETの動作領域を除くゲート電極105直下全面に設けられてもよい。さらに周辺N+型領域150は、共通入

力端子パッド I、制御端子パッド C 1、C 2、出力端子パッド O 1、O 2 および両 F E T の動作領域 1 1 2 を除くゲート電極に隣接してそれらの周辺に設けられ、それらの下には設けられなくても良い。

【0098】

これら周辺 N + 型領域 1 5 0 は、ソースおよびドレイン領域形成と同時に形成されたものであり、これら周辺 N + 型領域 1 5 0 および抵抗 R 1、R 2 が互いに隣接する部分の離間距離は 4 μ m となっている。

【0099】

つまり、これらの周辺 N + 型領域 1 5 0 と抵抗 R 1、R 2 とを保護素子 2 0 0 の両端子として、同一チップ内に複数接続することができる。保護素子 2 0 0 の端子は、金属電極を介してボンディングパッドと接続しても良いし、ボンディングパッドと動作領域 1 1 2 上のゲート電極とを接続する抵抗 R 1、R 2 などの配線そのものであっても良い。

【0100】

以上に、基板上の動作領域表面にソース電極、ゲート電極、ドレイン電極を持つ F E T と、その F E T を集積化したスイッチ回路装置の静電破壊電圧向上の方法に関する本発明の適用について述べた。しかし、本発明を適用する半導体素子は、その素子が有する電極の数は上記の 3 つに限らず、例えば総電極数が 4 つのデュアルゲート F E T や、総電極数が 5 つとなるトリプルゲート F E T 等についても適用できる。

【0101】

【発明の効果】

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

【0102】

第 1 に、静電破壊しやすい、P N 接合又は、ショットキ接合を含む F E T の特に弱い接合となる電極間に、高濃度領域—絶縁領域—高濃度領域からなる保護素子を接続することにより、外部より印加される静電エネルギーをバイパスさせることができる。これにより保護素子内部で静電エネルギーが放電されるので、保護素子が接続された電極間に至る静電エネルギーが減衰し、静電破壊から F E T

を保護することができる。

【0103】

第2に、被保護素子の端子から動作領域上の電極に至る経路途中に保護素子を接続することにより、効果的に、動作領域上の静電破壊に弱い接合を静電破壊から保護できる。

【0104】

第3に、保護素子が、IN、OUT両パッドに近接し、尚且つ静電エネルギーが印加される制御端子パッドからIN側、OUT側とも同程度に近いところに接続されているため、静電エネルギーを最も効果的に減衰させることができ、IN-Ct1間、OUT-Ct1間の両方の静電破壊電圧を同程度に最大限向上させることができる。

【0105】

第4に、保護素子は、高濃度領域—絶縁領域—高濃度領域からなり、PN接合を有さないため、保護素子自体の寄生容量がほとんど発生しない。被保護素子と同一基板で保護素子を作りこむことができ、寄生容量の増加をほとんど伴わず、従って高周波特性を劣化させずに、被保護素子の静電破壊を防ぐことができる。

【0106】

第5に、保護素子は、静電エネルギーを放電する面が、水平面となる保護ダイオードと異なり、垂直面になるため、チップ面積の増大をほとんど招くことなく、これを集積化することができるものである。

【図面の簡単な説明】

【図1】

本発明を説明するための回路概要図である。

【図2】

本発明を説明するための概略図である。

【図3】

本発明を説明するための断面図である。

【図4】

本発明を説明するための断面図である。

【図 5】

本発明を説明するための断面図である。

【図 6】

本発明を説明するための平面図である。

【図 7】

本発明を説明するための断面図である。

【図 8】

本発明を説明するための特性図である。

【図 9】

従来例を説明するための等価回路図である。

【図 1 0】

従来例を説明するための平面図である。

【図 1 1】

従来例を説明するための特性図である。

【符号の説明】

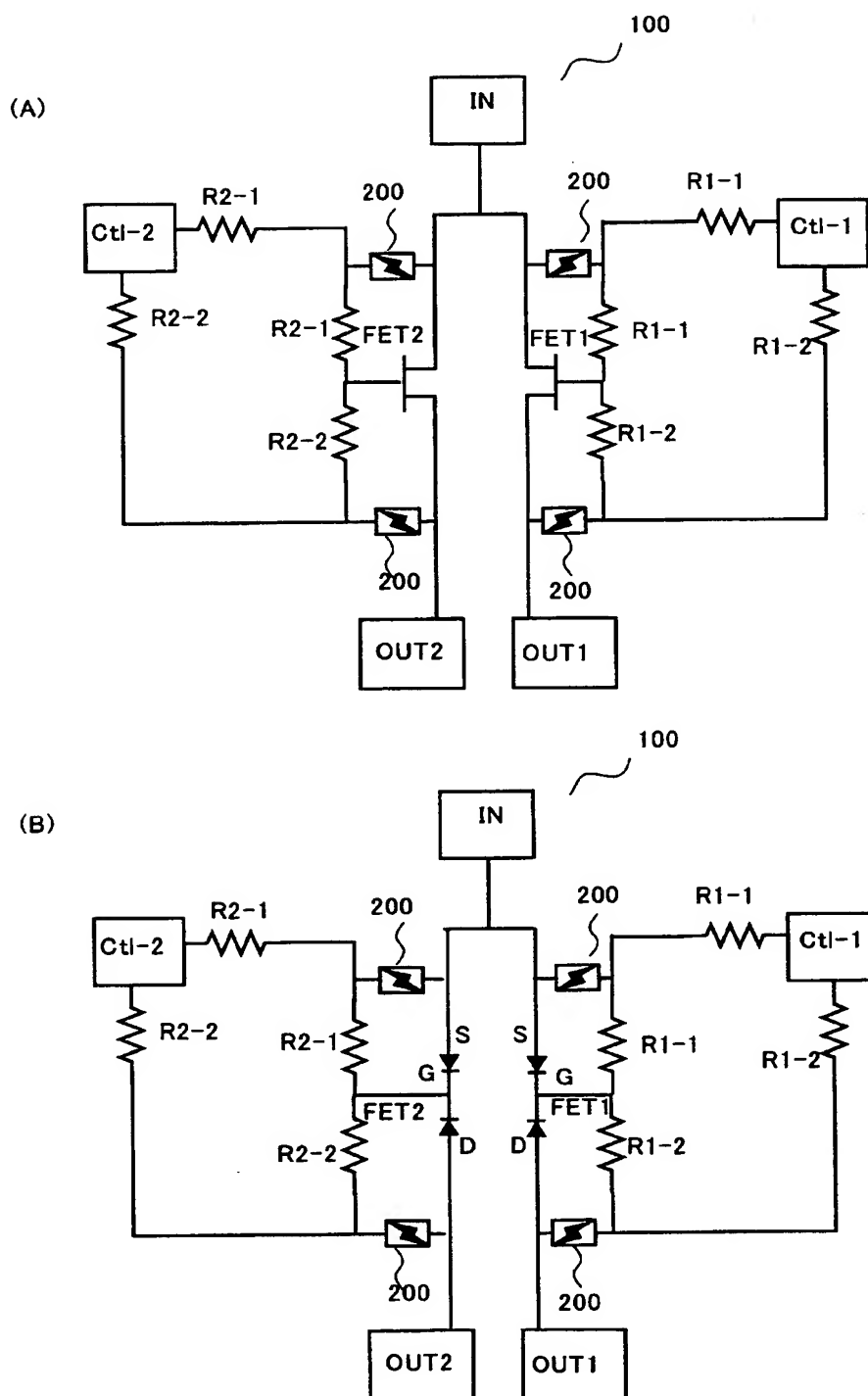
| | |
|-------|--------|
| 1 2 | 動作領域 |
| 1 3 | ソース電極 |
| 1 5 | ドレイン電極 |
| 1 7 | ゲート電極 |
| 2 0 | ゲート金属層 |
| 3 0 | パッド金属層 |
| 1 0 0 | 被保護素子 |
| 1 0 1 | 基板 |
| 1 0 2 | 動作層 |
| 1 0 3 | ソース領域 |
| 1 0 4 | ドレイン領域 |
| 1 0 5 | ゲート電極 |
| 1 0 6 | ソース電極 |
| 1 0 7 | ドレイン電極 |

| | |
|-----------|-------------|
| 1 1 2 | 動作領域 |
| 1 1 5 | ダイオード |
| 1 1 6 | ソース電極 |
| 1 1 7 | ドレイン電極 |
| 1 2 0 | ゲート金属層 |
| 1 2 5 | 絶縁化層 |
| 1 3 0 | パッド金属層 |
| 1 5 0 | 周辺 N + 型領域 |
| 2 0 0 | 保護素子 |
| 2 0 1 | 第 1 N + 型領域 |
| 2 0 2 | 第 2 N + 型領域 |
| 2 0 3 | 絶縁領域 |
| 2 0 3 a | 半絶縁領域 |
| 2 0 3 b | 絶縁化領域 |
| 2 0 4 | 金属電極 |
| 2 0 5 | 絶縁膜 |
| 2 0 6 | 金属層 |
| S | ソース電極 |
| D | ドレイン電極 |
| G | ゲート電極 |
| I N | 共通入力端子 |
| C t 1 - 1 | 制御端子 |
| C t 1 - 2 | 制御端子 |
| O U T 1 | 出力端子 |
| O U T 2 | 出力端子 |
| I | 共通入力端子パッド |
| C 1 | 制御端子パッド |
| C 2 | 制御端子パッド |
| O 1 | 出力端子パッド |

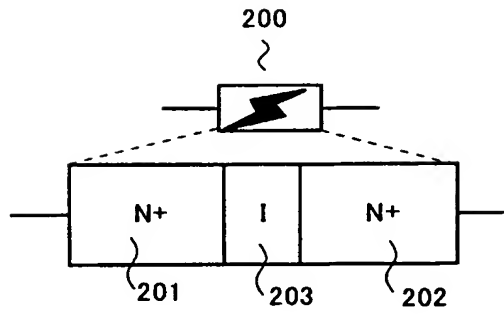
O 2 出力端子パッド
C N N型不純物領域

【書類名】 図面

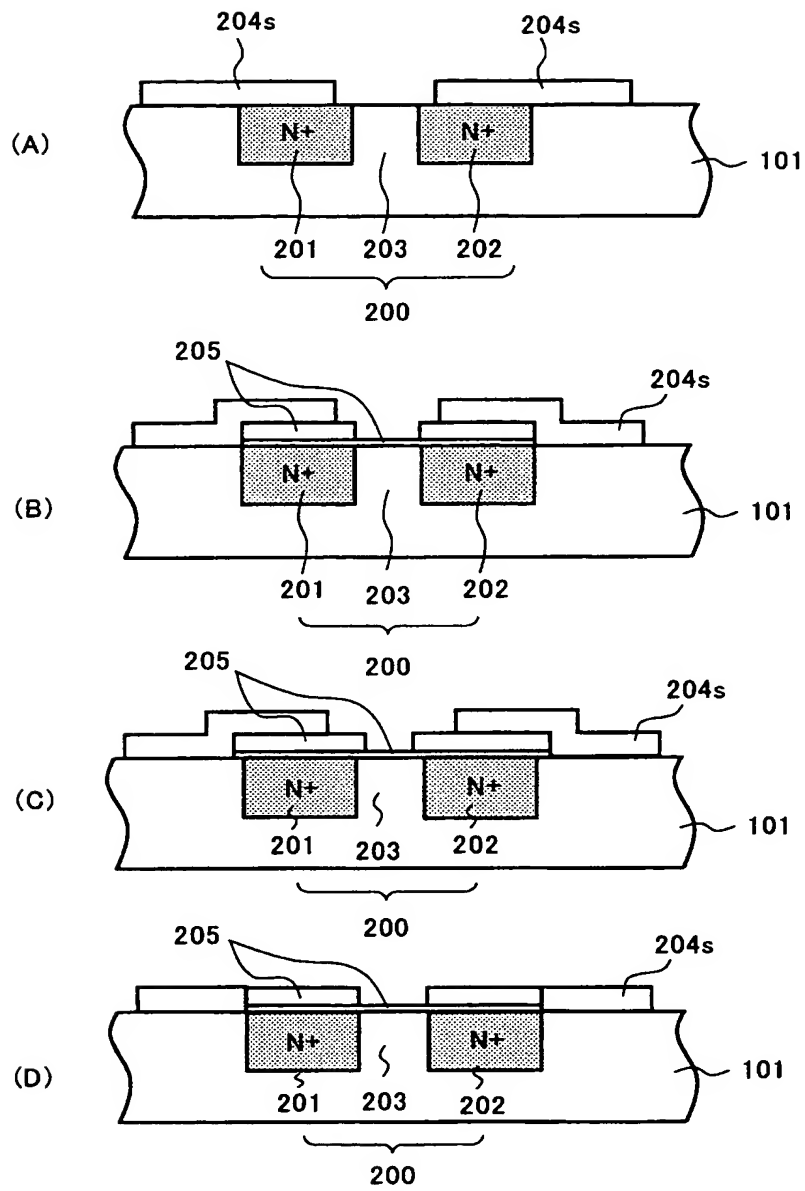
【図 1】



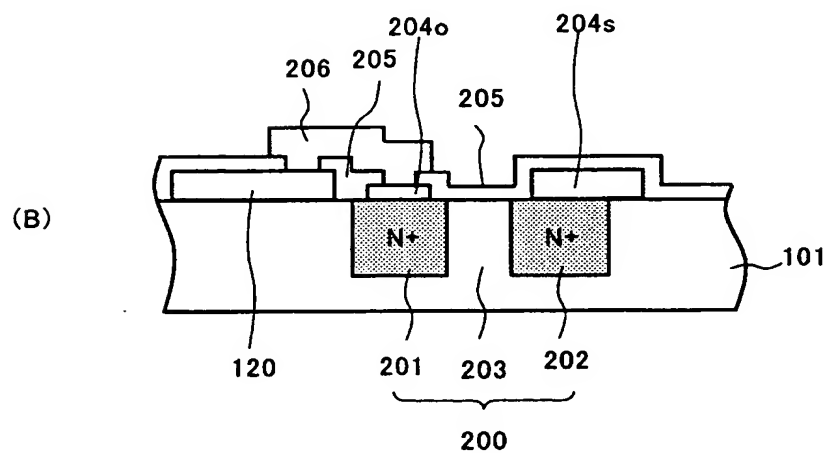
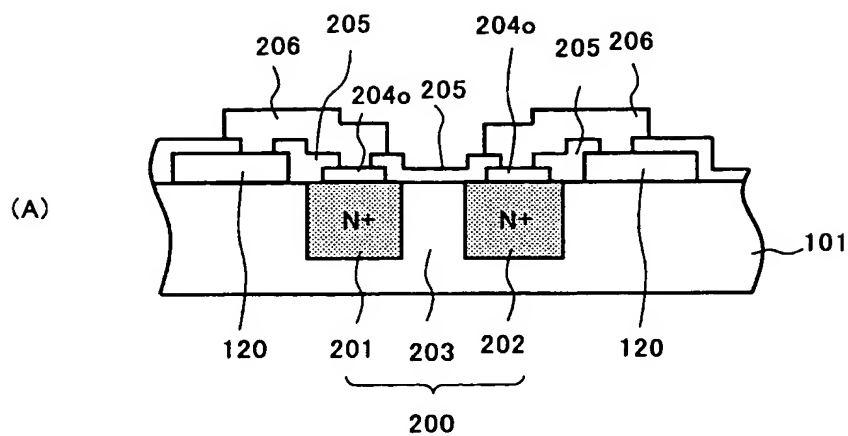
【図 2】



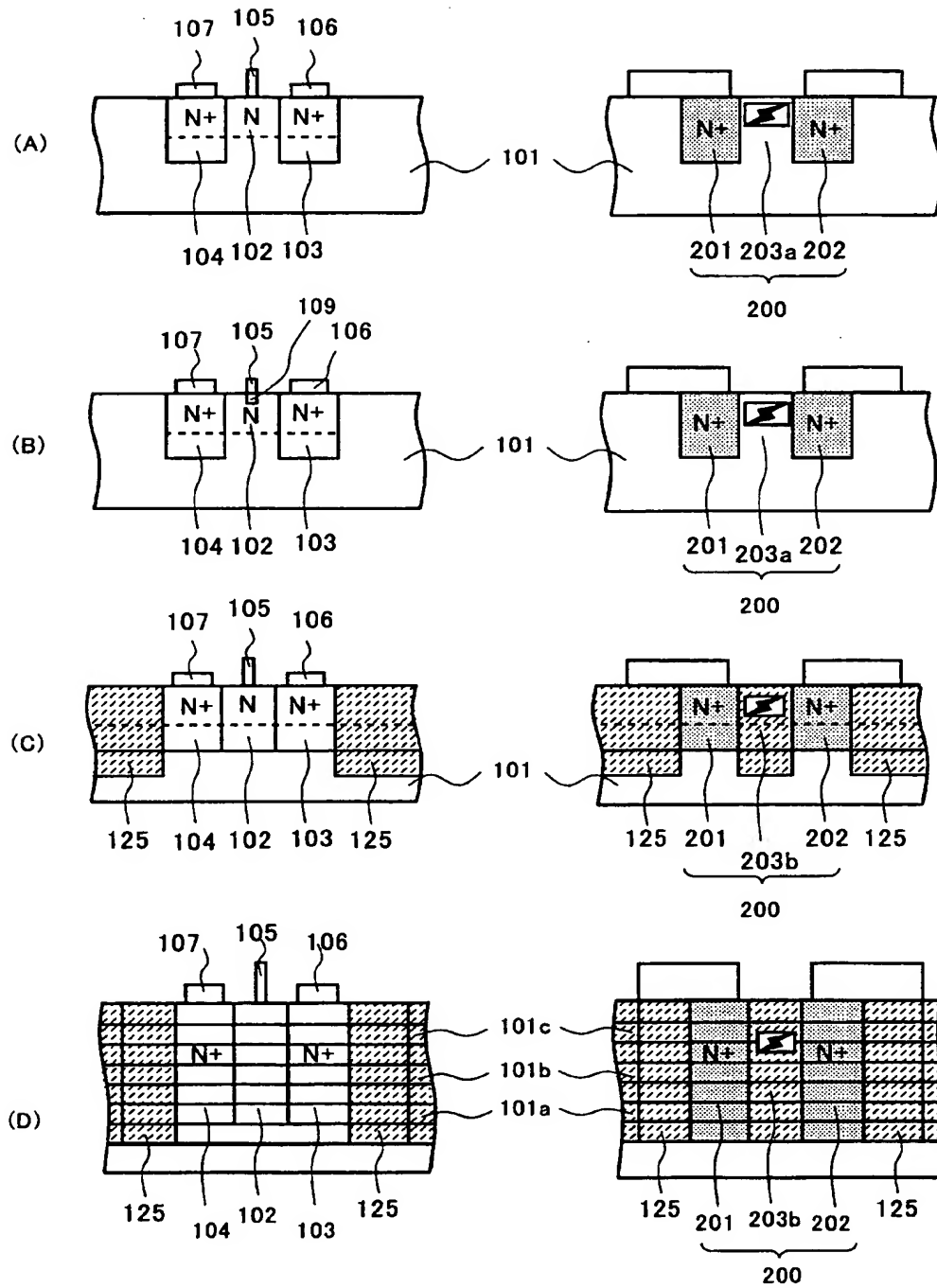
【図 3】



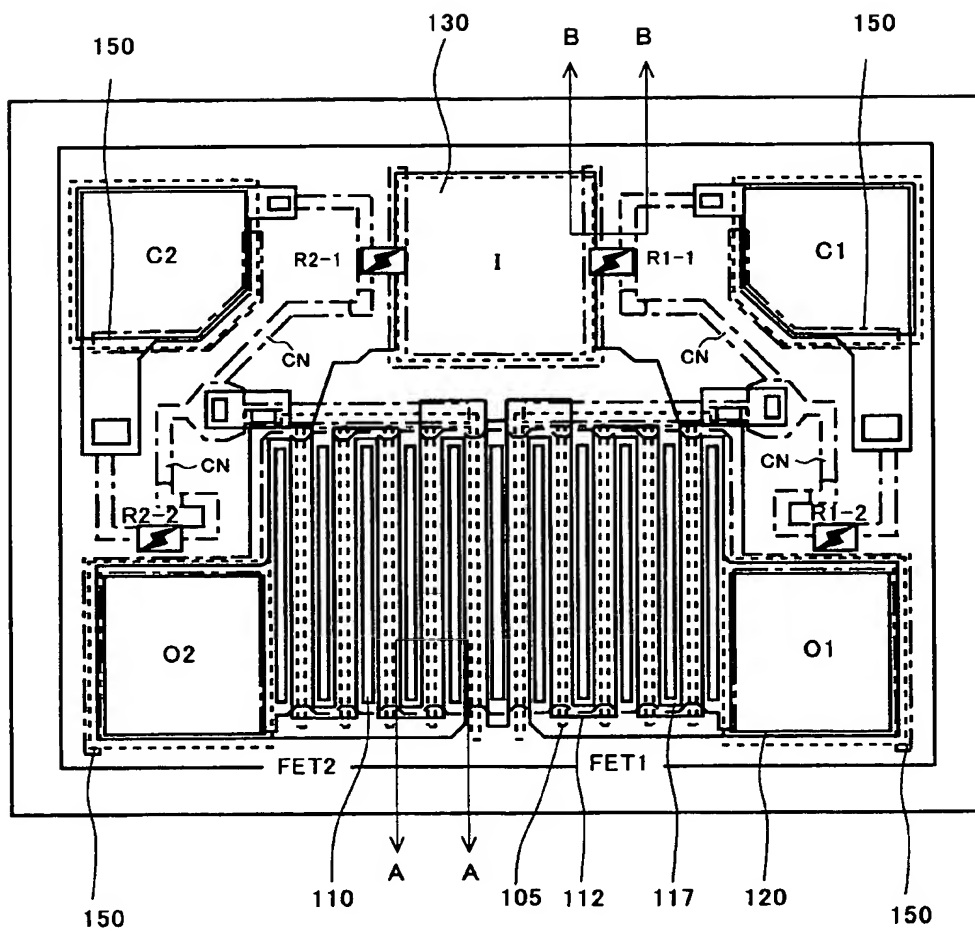
【図 4】



【図 5】

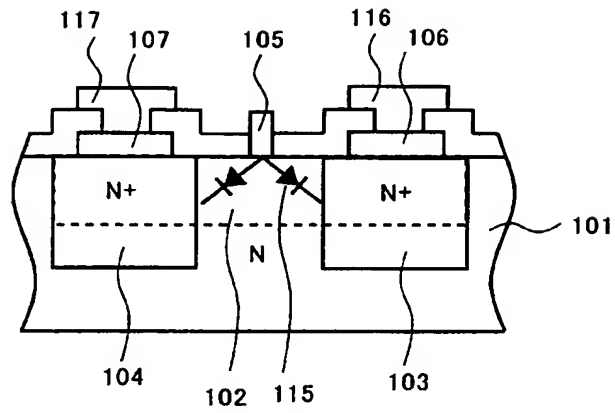


【図 6】

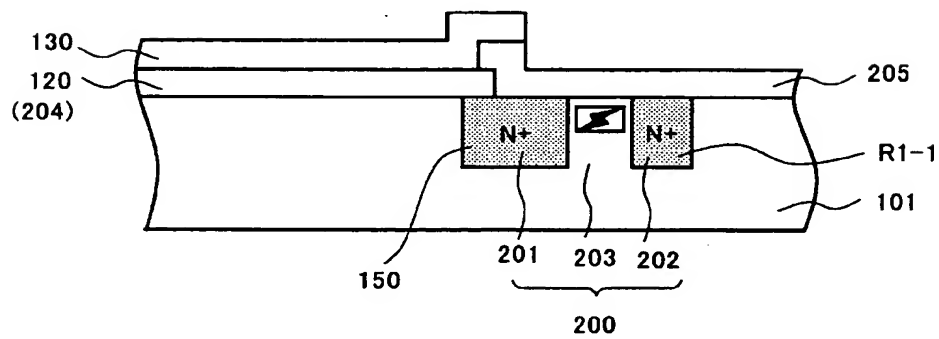


【図 7】

(A)



(B)

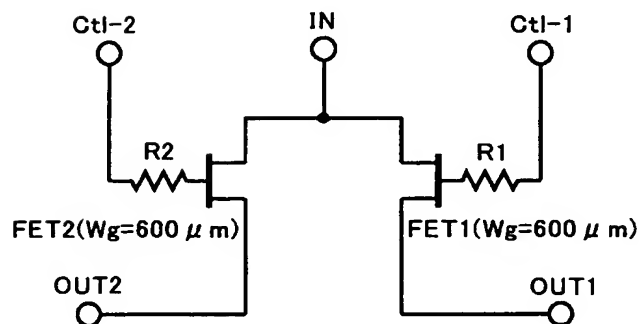


【図 8】

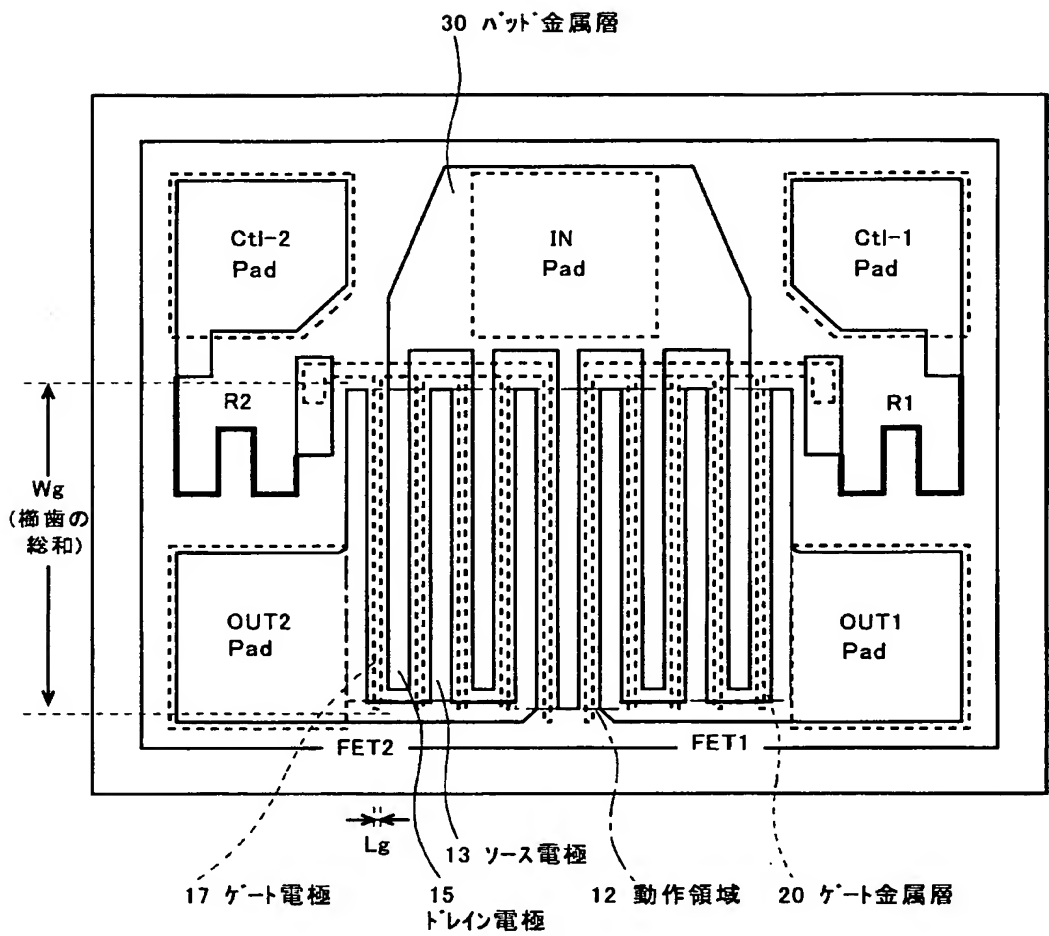
各端子間の静電耐量(単位V)

| | |
|------------|-----|
| IN-Ctl-1 | 700 |
| IN-Ctl-2 | 700 |
| OUT1-Ctl-1 | 700 |
| OUT2-Ctl-2 | 700 |

【図 9】



【図 10】



【図 11】

各端子間の静電耐量(単位V)

| | |
|------------|-----|
| IN-Ctl-1 | 140 |
| IN-Ctl-2 | 140 |
| OUT1-Ctl-1 | 500 |
| OUT2-Ctl-2 | 450 |

【書類名】 要約書

【要約】

【課題】 マイクロ波 F E T では、内在するショットキ接合容量または P N 接合容量が小さく、それらの接合が静電気に弱い。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化を招き、その手法を取ることができなかったという問題があった。

【解決手段】 ゲート電極パッドから動作領域上のゲート電極に至る経路を 2 本並列に設け、1 本はソース電極パッド付近を通り、もう一本はドレイン電極パッド付近を通り、それぞれ近接した部分に上記保護素子を、ゲート電極—ソース電極間、ゲート電極—ドレイン電極間に接続することにより、F E T の静電破壊電圧を 1 0 0 V 程度から 7 0 0 V に向上させることができる。

【選択図】 図 1

特願 2 0 0 3 - 0 2 9 8 5 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社